

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305256

(43)Date of publication of application : 18.10.2002

(51)Int.CI.

H01L 21/8238  
H01L 27/092  
H01L 29/43  
H01L 29/78

(21)Application number : 2002-033137

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 08.02.2002

(72)Inventor : RHEE HWA-SUNG  
BE KINSHO  
CHOE TAE-HEE  
KIM SANG-SU  
LEE NAE-IN

(30)Priority

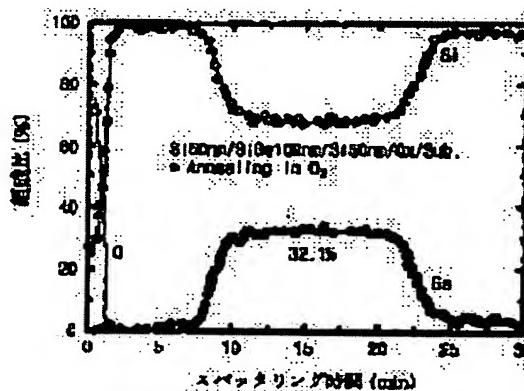
Priority number : 2001 200106407 Priority date : 09.02.2001 Priority country : KR

## (54) CMOS SEMICONDUCTOR DEVICE HAVING GERMANIUM-CONTAINING POLYSILICON GATE, AND ITS FORMING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a CMOS semiconductor device having germanium-containing polysilicon gates, and to provide a method of forming the device.

**SOLUTION:** In this CMOS transistor device, the total amounts of germanium contained in the polysilicon gates of a PMOS transistor and an NMOS transistor per unit area are made equal to each other, and the concentration distributions of the germanium in the polysilicon gates are made different from each other as departing from a gate insulating film. The amount of the germanium in the portion, adjoining the insulating film of the polysilicon gate of the PMOS transistor, is larger than that of the germanium in the portion adjoining the insulating film of the polysilicon gate of the NMOS transistor. It is desirable to adjust the amount of the germanium in the portion adjoining the gate insulating film of the polysilicon gate of the PMOS transistor to twice or more larger than that of the germanium in the portion adjoining insulating film of the polysilicon gate of the NMOS transistor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-305256

(P2002-305256A)

(43)公開日 平成14年10月18日 (2002.10.18)

(51)Int.Cl.  
H 01 L 21/8238  
27/092  
29/43  
29/78

識別記号

F I  
H 01 L 27/08 3 2 1 D 4 M 1 0 4  
28/62 G 5 F 0 4 8  
29/78 3 0 1 G 5 F 1 4 0

テマコト<sup>®</sup> (参考)

(21)出願番号 特願2002-33137(P2002-33137)  
(22)出願日 平成14年2月8日 (2002.2.8)  
(31)優先権主張番号 2001-006407  
(32)優先日 平成13年2月9日 (2001.2.9)  
(33)優先権主張国 韓国 (KR)

(71)出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅露洞416  
(72)発明者 李化成  
大韓民国ソウル冠岳区奉天6洞1679-2番  
地  
(72)発明者 ▲ペ▼ 金鐘  
大韓民国京畿道水原市勃善区錦曲洞(番地  
なし)エルジーピレッジエーピーティ304  
棟1402号  
(74)代理人 100064908  
弁理士 志賀 正武 (外1名)

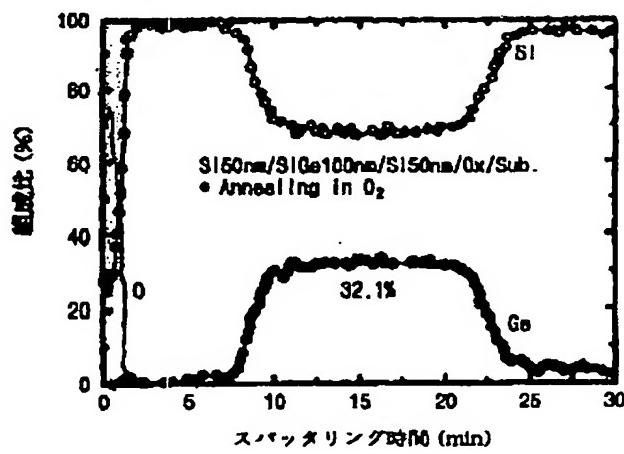
最終頁に続く

(54)【発明の名称】 ゲルマニウム含有ポリシリコンゲートを有するCMOS型半導体装置及びその形成方法

(57)【要約】

【課題】 ゲルマニウム含有ゲートを有するCMOS型半導体装置及びその形成方法を提供する。

【解決手段】 本発明による装置は、PMOSトランジスタのポリシリコンゲートとNMOSトランジスタのポリシリコンゲートで、単位面積当たり含有されたゲルマニウム総量は同一であり、ゲート絶縁膜から離間するに従ってポリシリコンゲート内のゲルマニウム濃度分布が異なり、ゲート絶縁膜に隣接した部分でPMOSトランジスタのポリシリコンゲート内のゲルマニウム含量がNMOSトランジスタのポリシリコンゲート内のゲルマニウム含量より高い。ゲート絶縁膜に隣接した部分のPMOSトランジスタのポリシリコンゲート内のゲルマニウム含量は、NMOSトランジスタのポリシリコンゲート内のゲルマニウム含量に比べて2倍以上の差を有することが望ましい。



【請求項19】 前記NMOSトランジスタ領域に対するソースドレイン領域の形成のためのノオン注入は、ヒ素イオンを使用することを特徴とする請求項13に記載のデュアルゲートCMOS型半導体装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCMOS型半導体メモリ装置及びその形成方法にかかり、より詳細には、ゲルマニウムが含有されたポリシリコンゲートを有するCMOS型半導体装置及びその形成方法に関するものである。

【0002】

【従来の技術】PMOSトランジスタは単独でも使用されるが、普通、CMOS型半導体装置でNMOSトランジスタと共に使用される。CMOS型半導体装置は、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタを1つの半導体装置と共に形成して、相補的な動作をするようにした半導体装置である。従って、半導体装置全体の効率を増加させ、動作速度を改善でき、バイポーラトランジスタと類似した特性を有するので、高速の高性能半導体装置として使用される。特に、CMOS型半導体装置で、集積化、電圧特性、速度を増加させるために素子の寸法は減少しながら、各チャンネル型ごとにゲートを形成するポリシリコンにチャンネル型と同一の型の不純物をドーピングしたデュアルゲート型が多く使用される。デュアルゲートはチャンネル表層の機能を強化させ、対称的な低電圧動作を可能にする長所がある。

【0003】高性能のデュアルゲート型CMOSトランジスタの形成の時、CMOSトランジスタのうち、PMOSトランジスタのゲート電極を形成するポリシリコンのドーピング不純物としてホウ素を多く使用する。この時、ホウ素のようなP型不純物をドーピングする方法は、ソース／ドレイン領域を形成すると同時にポリシリコンゲートにイオン注入を実施する方法を多く使用する。

【0004】ホウ素をトランジスタのゲートを構成するポリシリコンパターンに不純物として使用する場合、ホウ素が十分にドーピングされなかったり、活性化されなかったりする問題の外に、ドーピングされたホウ素が拡散されて、薄いゲート絶縁膜を経てチャンネルに抜ける問題が発生し得る。特に、CMOS型半導体装置のPMOSトランジスタでゲート絶縁膜は数十Åほどに非常に薄く形成されるので、このような問題は深刻である。ホウ素がゲートを構成するポリシリコン層から抜ける場合、ゲート絶縁膜の付近でゲートを構成するポリシリコン層のホウ素の濃度が減少して、ポリゲートディブリーション効果(PDE: poly-gate depletion effect)を発生させ得る。

【0005】ゲート絶縁膜とチャンネルに拡散されたホ

ウ素は、チャンネル表面のP型不純物濃度を増加させて、ソースとドレインを連結することによって、低電圧でも電流を流す問題を発生させ得る。一方、ホウ素が抜けるゲート電極では導電性が低まって、ゲート絶縁膜の実質的な厚さが厚くなってしまって、チャンネルに電圧を十分に印加できなく、ドレイン電流を減少させる等の問題が発生できる。結果的に、このような相反的な効果は、トランジスタの作動電圧を不安定にし変動させて、半導体装置の信頼性を減少させ、ポリゲートディブリーションは、ゲート絶縁膜とチャンネル特性を低下させる役割を果たす。従って、ホウ素を使用する時、ゲートディブリーションと、これによってトランジスタの特性が低下する問題点を防止できる方法が必要である。

【0006】PMOSトランジスタで、ホウ素に関してゲートディブリーションが発生することを防止するための1つの方法は、ポリシリコンからなるゲート電極にゲルマニウムをドーピングして、ホウ素に対する溶解度(solubility)を増加させる方法である(IEDM, Technology Digest, 1990, pp253~256)。即ち、ゲルマニウムを含有したポリシリコンは、ホウ素に対する溶解度が増加して、活性化のためのアニーリング段階等でもホウ素がゲートポリシリコンの外部によく拡散されないようにする。

【0007】ゲルマニウムをゲートを構成するポリシリコン層にドーピングする方法には、他の元素をドーピングする場合と同様に、ソースガスを添加してポリシリコン積層段階で共にCVDによって蒸着する方法と、ゲルマニウムイオンを注入する方法がある。

【0008】CVD積層の場合、通常、シランガス(SiH<sub>4</sub>)にゲルマニウムソースガスであるGeH<sub>4</sub>を混ぜてCVDチャンバでインサイチュー方式によって、シリコングルマニウムゲート層を形成する。この方法によって、ホウ素に対する水溶性の高い20乃至30%のゲルマニウム含有シリコンゲート層を形成できる。一方、CVD過程は、通常、熱工程であり、フォトレジストマスクによる部分的なカバーができないので、CMOS半導体装置でNMOS領域にもシリコンゲルマニウムゲート層が形成される。ゲルマニウムは、ドーピングされる不純物の種類に従ってゲートディブリーションに対する効果が異なり、NMOSトランジスタのゲート層で高濃度のゲルマニウムはN型不純物の溶解度を低める問題点がある。

【0009】例えば、10%以上の高濃度の場合、ゲルマニウムは、N型トランジスタのポリシリコンゲートでゲートディブリーションを強化させ、ゲート静電容量を低下させ、トランジスタ特性を低下させ得る。CMOS型半導体装置に対する全体的な考慮において、CMOS型半導体装置のポリシリコンゲートが20%程度のゲルマニウム濃度を有することが望ましい(VLSI Technology Digest of Technology Papers, 1998, pp190~19

OSトランジスタのソース／ドレイン領域に対するイオン注入と共に実施することが一般である。各々のトランジスタ領域で、LDD形態のチャンネル構造を形成するためには、ソース／ドレイン低濃度イオン注入の後にゲートの側壁にスペーサを形成し、スペーサ及びゲートバーチャルをマスクで基板に高濃度イオン注入を実施する方式を使用する。

【0023】ソースドレイン形成のための不純物ドーピングが完了されると、不純物の再配置の恐れのために熱処理が多い制約を受ける。従って、ゲルマニウム濃度を調節するためのアニーリングは基板のソース／ドレイン構造を形成するための不純物イオンドーピングの前に実施することが望ましい。

#### 【0024】

【発明の実施の形態】以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。

【0025】図1は本発明のCMOS型半導体装置のNMOSトランジスタとPMOSトランジスタを対比して示す側断面図である。

【0026】図1を参照すると、NMOSトランジスタの領域では、ゲートを構成するポリシリコン層10にゲルマニウムがゲート絶縁膜から離間するに従って次第に減少する分布をなす。即ち、ポリシリコン層10の下部、即ち、ゲート絶縁膜12へ近いほど、ゲルマニウム濃度は増加するが、上部と下部のゲルマニウム濃度は次第に変化する形態を示す。一方、PMOSトランジスタ領域でゲートを構成するポリシリコン層20にはゲルマニウム分布が、中間部を基準として、急に変化する形態を示す。即ち、ゲート絶縁膜12の近隣から中間までは、NMOSトランジスタのゲートに比べて高いゲルマニウム含量を示すが、中間以上の上層ではゲルマニウムが急に減少して、ほとんど存在しない形態を示す。

【0027】図2は、図1のような本発明のCMOS型半導体装置の部分を図示的に示す。NMOSトランジスタのゲートポリシリコン層10は、均一なゲルマニウム分布を有し、PMOSトランジスタのゲートポリシリコン層20は中間を基準として、下部21は均一な高いゲルマニウム濃度を有し、中間以上の上部22はゲルマニウムが全然含まれない形態を示す。本発明の方法によつて、このような理想型に近いゲルマニウム濃度分布に近くことができる。

【0028】図3乃至図9は、本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【0029】図3を参照すると、基板10にゲート絶縁膜12を形成する。通常、基板10にはゲート絶縁膜の形成の前に、不純物ドーピングによるウェルの形成とSTI(shallow trench isolation)方法等による素子分離が行われる。ゲート絶縁膜の厚さは40乃至70Å程度に形成し、NMOSトランジスタ領域とPMOSトランジスタ領域で相違に形成され得る。最近のデュアルゲ

トCMOS型半導体装置の場合、高性能素子形成及び高集積化のためにPMOSトランジスタのゲート絶縁膜12を20乃至40Å程度に形成する場合も多い。ゲート絶縁膜12としては、基板を酸化雰囲気で高温で酸化して形成するシリコン酸化膜の他にシリコン窒化酸化膜を使用する場合もある。

【0030】図4を参照すると、ゲート絶縁膜12が形成された基板にポリシリコンシード層を0乃至100Å厚さに形成する。この時、0を含むことは、シード層21が形成されない場合を含むことができるという意味である。しかし、高濃度でゲルマニウムが含有されたシリコンゲルマニウム層の効率的な形成のためには、シリコンゲルマニウム層の形成の前にゲート絶縁膜12にシード層21を形成することが一般である。シード層21はポリシリコンの他にアモルファスシリコンで形成できる。シード層21は機能に必要な最少の厚さ、例えば、5Å程度に積層することが望ましい。シード層21は工程チャンバ気圧を数Torr乃至大気圧で、温度を550乃至600°Cに維持し、シランガスのようなソースガスを注入してポリシリコンを形成するCVD方法を使用することが一般である。

【0031】図5を参照すると、ポリシリコンシード層21の上に少なくとも20%以上のゲルマニウム含量を有するポリシリコンゲルマニウム層23を積層する。この時、20%の数値は、高性能CMOS型半導体装置のPMOSトランジスタ領域でゲルマニウムがホウ素不純物の下部ゲート絶縁膜及びチャンネル層への拡散を阻止するために適合である数値として、前述した従来技術によって提示された数値である。デュアルゲートCMOS型半導体装置の性能を高めるために、より高いホウ素不純物をポリシリコンゲートにドーピングする必要があると、シリコンゲルマニウム層23のゲルマニウム含量を30%以上に高めることが望ましい。

【0032】シリコンゲルマニウム層23は、シリコン形成と類似した条件で形成される。例えば、工程温度500乃至600°Cでシランガスを200sccmに供給し、GeH<sub>4</sub>ガスを30乃至100sccmに注入しながらゲルマニウム含量を20%乃至40%に調節して、CVDを実施する。シリコンゲルマニウムの一般的な結晶化温度は450乃至500°Cであり、ゲルマニウム含量が高いと、低まることができる。ただし、CVD方法で、ゲルマニウムとシリコンの比率を正確に調節することは難しい。従って、シリコンゲルマニウム層23の厚さを十分に薄く維持して、シリコンゲルマニウム層23のゲルマニウム濃度が過剰になる場合にも、NMOSトランジスタゲート全体にゲルマニウムが過剰にならないように工程に余裕度があることが望ましい。

【0033】シリコンゲルマニウム層は、アモルファス状態に積層することもできる。

【0034】図6を参照すると、シリコンゲルマニウム

層23の積層に統一して、全体ゲート層の一部を構成する追加シリコン層25を積層する。追加シリコン層25は、前述のシード層と同一の条件でポリシリコン層で形成することが望ましい。例えば、追加シリコン層はソースガスとしてシランを供給しながら、550乃至650度、数 Torr乃至大気圧に、CVDによって形成する。積層されるゲート層の総厚さは0.1 μm級CMOS素子の場合、1500乃至2500 Å程度である。

【0035】本発明でシリコンゲルマニウム層23の上に追加シリコン層25を積層してゲート層を形成する時は、2つの層の間の積層厚さ及びシリコンゲルマニウム層23のゲルマニウム含量に従う制限がある。即ち、本発明によると、NMOSトランジスタのゲートで下部のシリコンゲルマニウム層23のゲルマニウムが上部追加シリコン層25まで均一に拡散される。この時、ゲート層全体に均一に拡散されたゲルマニウムの濃度が要求される水準以下に維持されなければならない。従って、シリコンゲルマニウム層23のゲルマニウム含量が高く、厚さが厚いと、追加シリコン層25の厚さは、シリコンゲルマニウム層の含量と厚さに比例してさらに厚くなる。通常、ゲート層の総厚さは1500乃至2500 Åになる。従って、前段階のポリシリコンゲルマニウム層23の積層の時、ポリシリコンゲルマニウム層23のゲルマニウム含量が50%以上である場合、シリコンゲルマニウム層23の厚さを適切に減少させる必要がある。

【0036】例えば、シリコンゲルマニウム層の前に積層されたシードポリシリコン層が50 Åであり、シリコンゲルマニウム層のゲルマニウム含量が30%、厚さが500 Åであり、NMOSトランジスタのポリシリコンゲートのゲルマニウム含量が10%以下に維持されなければならないと、上部の追加シリコン層25の厚さは950 Å以上にならなければならない。

【0037】一方、通常のPMOSトランジスタ領域でゲートにシリコンゲルマニウム層23のゲルマニウム含量が20乃至30%であると、厚さが数百Å程度でも十分にホウ素不純物の下部へのディブリーションを抑制できる。従って、ポリシリコンゲルマニウム層23の厚さを厚くする必要はない。

【0038】図7を参照すると、ポリシリコンゲルマニウム層23の上の追加シリコン層25の上にフォトレジストを塗布し、露光及び現像によって、NMOSトランジスタの領域だけを露出させるフォトレジストパターン27を形成する。そして、このフォトレジストパターンをイオン注入マスクでN型不純物のリンイオン注入を実施する。従って、NMOSトランジスタのゲート層には不純物濃度が増加する。この時、イオン注入は、後続のアニーリング工程でNMOSトランジスタ領域のポリシリコンゲルマニウム層23にあるゲルマニウムが上部の追加シリコン層25に拡散されることを役立つ。N型不純物として、ヒ素を使用できる。通常、ゲート層に対

するイオン注入ドーズ量は、ソース／ドレイン領域に対するイオン注入量と類似したり、多少高い水準の1E15乃至1E16 ( $10^{15}$ 乃至 $10^{16}$ ) イオン/ $\text{cm}^2$ にする。そして、この時、イオン注入エネルギーは10乃至60KeV範囲にする。

【0039】本発明でイオン注入量とイオン注入エネルギーは、本発明のゲルマニウム濃度再分布と一定範囲で相關関係を有すると思い、イオン注入の最適条件は経験的に関連要因を考慮したり、実験によって得ることができる。

【0040】NMOSトランジスタ領域のゲート層に対するN型不純物イオン注入に統一して、イオン注入マスクを除去し、拡散アニーリングを実施する。アニーリング工程によってゲルマニウムのゲート層内の分布が変化される。即ち、アニーリングの前のN型イオン注入の影響によって、NMOSトランジスタ領域ではゲート層全体にかけてゲルマニウムが拡散されて、均一分布に接近し、PMOSトランジスタ領域ではイオン注入の影響がないので、ゲルマニウムは、シード層21とポリシリコンゲルマニウム層23だけに分布する。又、拡散アニーリング段階でゲート層内のゲルマニウム分布が必ず均一になる必要ない。即ち、以降のソース／ドレイン領域に対するイオン注入に統くアニーリング又は他の熟工程によって、NMOSトランジスタゲート層のゲルマニウム分布が均一になると十分である。

【0041】通常、拡散アニーリングは加熱条件が容易であり、工程時間を短縮できるRTP(rapid thermal processing)方式によって実施され、アニーリングの温度は900°C以上で、通常のアニーリング温度に比べて高くすることが望ましい。拡散アニーリングの時間は10秒乃至1分程度にし、アニーリングの時間も様々な要因によって変更され得る。例えば、ゲート層の厚さが厚いほどアニーリングに時間を十分にし、後続熟工程の温度又は時間が少ないほど拡散アニーリングの時間を十分にする。アニーリングは他の問題がない限り、酸素雰囲気で実施できる。

【0042】図8を参照すると、ゲート層とゲート絶縁膜12をバーニングしてNMOSトランジスタ及びPMOSトランジスタのゲートパターン又はゲート電極110, 120を形成する。ゲート層のバーニングは、通常のフォトレジスト層塗布と露光及び現像によってフォトレジストゲート電極パターンを形成し、これをエッチングマスクでゲート層をバーニングする方法によって実施される。バーニング過程で、エッチングによる側壁損傷を治癒するためのアニーリングを実施することもできる。ゲルマニウムの再分布のための拡散アニーリングは、N型イオン注入に統いて実施されるのに代わりに、ゲート電極の形成の後にゲート電極の側壁損傷を治癒する段階で共に実施され得る。

【0043】拡散アニーリングの結果によると、NMOS

Sトランジスタ領域でゲート電極110はゲート層全体にかけてゲルマニウムが分散される。又、PMOSトランジスタ領域でゲート電極120は、シリコンゲルマニウム層の周辺のゲート電極の下部121で主にゲルマニウムが分散される。従って、ゲート電極の上部122にはゲルマニウムがほとんど分布しない。

【0044】ゲートのバーニングの後、ソースドレイン領域の形成のための不純物ドーピングが実施される。不純物のドーピングは主にイオン注入によって実施される。イオン注入は低濃度イオン注入なしに、高濃度イオン注入だけで実施され得る。本実施形態では、LDD形成のために、先ず、低濃度イオン注入を実施する。イオン注入はNMOS領域及びPMOSトランジスタ領域に対して各々実施されるので、例えば、NMOSトランジスタ領域に対する低濃度イオン注入(N-)が実施される間、PMOSトランジスタ領域はイオン注入マスクで保護されなければならない。又、その反対の場合も成立する。

【0045】図9を参照すると、各トランジスタ領域に対する低濃度イオン注入(N-, P-)が実施された後、基板全面に対するコンフォーマルな絶縁膜の積層及び全面異方性エッチングを実施する。従って、ゲート電極側壁にゲートスペーサ130が形成される。スペーサ130は、通常シリコン窒化膜又はシリコン酸化膜からなる。スペーサ130が形成された状態でNMOS及びPMOSトランジスタ領域各々に対する高濃度イオン注入(N+, P+)を実施する。従って、LDD構造のソースドレイン領域及びチャンネルが形成される。

【0046】低濃度及び高濃度イオン注入が実施される時、PMOSトランジスタ領域に対してはゲート電極及びソース/ドレイン領域に対するホウ素イオン注入が実施される。イオン注入エネルギーは、N型不純物に比べて数倍程度低い5乃至20KeV、イオン注入ドーズ量は1E15乃至1E16/cm<sup>2</sup>である。通常、ホウ素イオンはよく拡散されるので、イオン注入エネルギーを最小化することが望ましい。ホウ素のドーズ量は、N型不純物のドーズ量と同じかまたは、少し高い水準にする。

【0047】NMOSトランジスタ領域に対しては、不純物としてヒ素イオン注入がゲート電極とソースドレイン領域に対して実施される。イオン注入エネルギーは10乃至60KeV、ドーズ量は1E15乃至1E16/cm<sup>2</sup>水準に、予めゲート層に実施されたリンイオン注入と同じにする。

【0048】注入されたイオンの拡散、活性化とイオン注入によるソースドレイン領域の損傷を補償するためのアニーリングが実施される。アニーリングの温度は約600°C以下、時間は数秒乃至数十秒である。この時のアニーリングも、予め実施されたNMOSトランジスタゲートでのゲルマニウムの拡散及び濃度の均一化に役立つことができる。但し、最近、通常に、ソース/ドレイン

イオン注入の後のアニーリング工程を含む半導体装置の製造の時に、熱負担を減少させる方向に熱工程を変化させる傾向がある。この点において、別途の拡散アニーリングなしに、この段階のアニーリングだけでNMOSトランジスタゲートでゲルマニウムの拡散、濃度の均一化の効果を得ることは難しい。

【0049】図10を参照すると、基板にチタン又はコバルト金属が100乃至300Å、PVD (physical vapor deposition: sputtering) によって蒸着され、アニーリングが実施される。そして、チタン又はコバルトに対するエッチングを実施する。従って、アニーリングによってシリサイドを形成したゲート電極上部と露出された基板を除いた部分ではチタン又はコバルトが全部除去される。ゲートパターンの上部はPMOS及びNMOSトランジスタ領域で全部10%乃至5%以下のゲルマニウム濃度を有するので、金属シリサイド140の形成を妨害しない。ゲート電極110、120の上部金属シリサイド140が基板の金属シリサイド141に比べて厚く形成され得る。この段階でもアニーリング温度に従って、アニーリングによって注入された不純物の活性化が実施される効果を得ることができる。

【0050】図11乃至図14は、本発明の効果が分かる実験結果のグラフである。この実験は、実際のCMOS型半導体装置の製造工程の条件を考慮して実施した。実験のために、先ず、基板(Sub)にゲート絶縁膜(Ox)を形成する。そして、本発明の実施形態のようにゲート絶縁膜の上にポリシリコンシード層とポリシリコンゲルマニウム層、ポリシリコン追加層を順次に積層する。各処理に対するゲルマニウムの拡散程度を明確に分かるために、ポリシリコンからなるシード層及び追加層は十分な厚さの500Åずつ積層する。そして、ゲルマニウム含量35%のポリシリコンゲルマニウム層を1000Å厚さに積層する。

【0051】図11を参照すると、シード層、ポリシリコンゲルマニウム層、ポリシリコン追加層で全体ゲート層を形成し、不純物イオン注入なしに、酸素雰囲気で拡散アニーリングをする。この時、拡散アニーリングのような熱処理は RTP 装置等で実施される。通常、RTP 热処理は、温度900°C以上、時間10乃至60秒程度で実施される。熱処理の結果は、オージェ電子分光器(auger electron spectrometer)を使用して得る。オージェ電子分光器は、電子ビームをゲート層に入射し、反射されるオージェ電子エネルギーを測定してゲート層成分と総量との比率を測定し、ゲート層の表面から内部へ、ゲート層を構成する物質を除去しながら、新たに露出される物質層の成分と含量比率を分析できる。グラフ上のX軸は物質粒子を入射したスパッタリング時間を分単位に、Y軸は各時刻での、即ち下、表面からの深さに従う酸素(O)、ゲルマニウム(Ge)、シリコン(Si)の原子構成比を示す。図11によると、シリコンゲ

シリコンゲルマニウム層の厚さを考慮すると、ゲルマニウムはゲート全体厚さにかけて均一に拡散されることが

### 2.3 シリコンゲルマニウム層

### 2.5 追加シリコン層

(1) (元) (1) (元)  
(72)発明者 金 相秀  
大韓民国ソウル麻浦区延南洞570-41  
番地  
(72)発明者 李 来寅  
大韓民国ソウル冠岳区奉天3洞(番地なし)冠岳現代エーピーティ117棟1504号

CC05 DD02 DD43 DD55 DD78  
DD81 DD83 DD84 GC10  
5F048 AA07 AC03 BA01 BA14 BB01  
BB04 BB05 BB06 BB07 BB08  
BB10 BB13 BB18 BC06 BD04  
BF06 BF16 BG14 DA25 DA27  
5F140 AA00 AA28 AB03 AC01 BE07  
BF04 BF11 BF14 BF18 BF21  
BF28 BF32 BF37 BF38 BG12  
BG14 BG28 BG30 BG32 BG33  
BG34 BG37 BG44 BG45 BG52  
BG53 BH15 BJ01 BJ08 BK02  
BK13 BK15 BK21 BK29 BK39  
CB04 CB08

ルマニウム層は積層された状態のゲルマニウム濃度をほぼ維持する。従って、単純な拡散アニーリングだけによつては、ゲルマニウムが拡散されないことを意味する。

【0052】図12を参照すると、図11の実験と同一の条件でゲート層を積層し、処理するが、熱処理の前にリン酸 (Ph+) イオンを注入した。イオン注入の条件は、20KeV、5.0E15のドーズ濃度である。その結果、表層酸化膜の厚さも増加し、ゲルマニウム層の最高値が23.4%に、最少3.5%に比べて、多く上下に拡散されたことが分かる。酸化層にはゲルマニウムが急に減少して、酸化層はゲルマニウム拡散防止膜の役割をすることが分かる。たとえゲルマニウム含量がゲート層全体にかけて均一化されたことではないが、シード層でゲルマニウム含量は10%以上を示している。実際のCMOS型半導体装置の形成工程でソード層を非常に薄くする。

【0053】図13を参照すると、図11の実験と同一の条件でゲート層を構成し、酸素雰囲気の拡散アニーリングとホウ素イオン注入及びイオン注入に対するアニーリングを順次に実施する場合の結果を示す。ゲート層でのゲルマニウム分布が少し広がり、濃度も高濃度領域で少し減少する。しかし、最初のゲルマニウム層でのゲルマニウム分布と多く異なることではない。ゲート層に対するこのような処理は、実際工程でPMOSトランジスタ領域のゲート層に対する処理と同一であるということができる。シード層が100Å以下に十分に薄いほど、シード層全体に最初のポリシリコンゲルマニウム層のゲルマニウムの濃度に近くゲルマニウムが拡散される。しかし、ゲート層の上部にはほとんどゲルマニウムが拡散されない。

【0054】図14を参照すると、図11の実験と同一の条件でゲート層を構成する。そして、N型不純物のリン酸イオン (Ph-) の注入、酸素雰囲気でのアニーリング、ソースドレイン領域の形成のためのヒ素イオン注入、ヒ素イオン (As+) 注入に対するアニーリングを実施する。この場合の結果を図14に示す。図11と比較すると、ゲルマニウムがよく拡散されて、ゲート層のゲルマニウムの分布が最初と多く異なることを示している。全領域にかけてゲルマニウムの分布が均一であることが分かる。ゲルマニウムの分布は最少のポリシリコンゲルマニウム層のゲルマニウム濃度の3.5%の半分に該当する1.7.2%であり、ポリシリコン層の厚さとポリシリコンゲルマニウム層の厚さを考慮すると、ゲルマニウムはゲート全体厚さにかけて均一に拡散されることが

分かる。

#### 【0055】

【発明の効果】本発明によると、CMOS型半導体装置の形成で複雑な工程の変化なしに、NMOSトランジスタ領域及びPMOSトランジスタ領域でゲルマニウムの有効濃度を相違に形成でき、従つて、ゲート不純物のディブリーションを効率的に防止して、デュアルゲートCMOS型半導体装置を高性能化できる。

#### 【図面の簡単な説明】

【図1】 本発明によるCMOS型半導体装置のNMOSトランジスタとPMOSトランジスタ部分を共に対比して示す側断面図である。

【図2】 本発明によるCMOS型半導体装置の部分を図示的に示す部分側断面図である。

【図3】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図4】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図5】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図6】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図7】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図8】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図9】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図10】 本発明によるCMOS型半導体装置の形成方法の一例を示す工程断面図である。

【図11】 本発明の効果を分かるための実験の結果グラフである。

【図12】 本発明の効果を分かるための実験の結果グラフである。

【図13】 本発明の効果を分かるための実験の結果グラフである。

【図14】 本発明の効果を分かるための実験の結果グラフである。

#### 【符号の説明】

10 基板

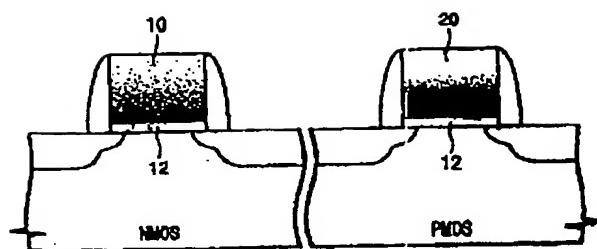
12 ゲート絶縁膜

21 ポリシリコンシード層

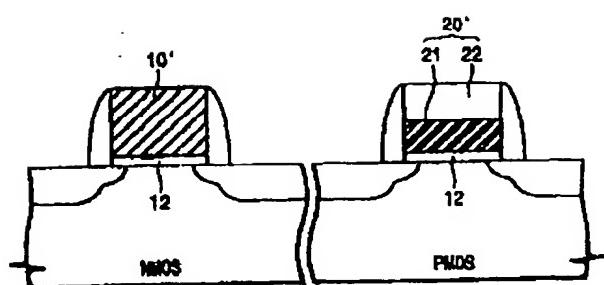
23 シリコンゲルマニウム層

25 追加シリコン層

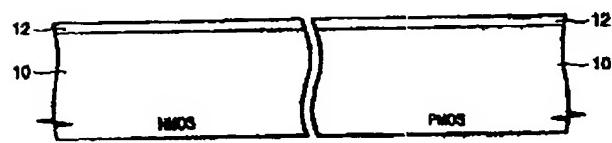
【図1】



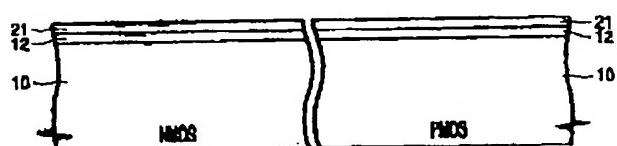
【図2】



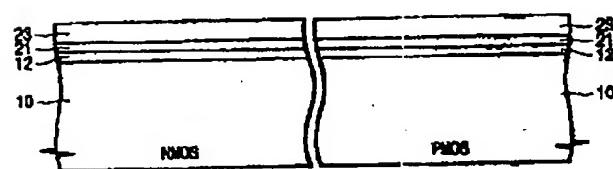
【図3】



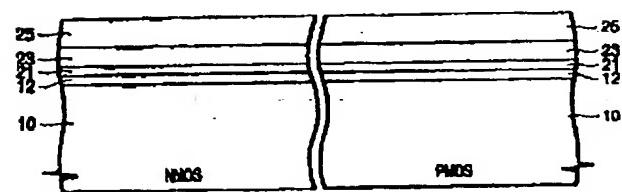
【図4】



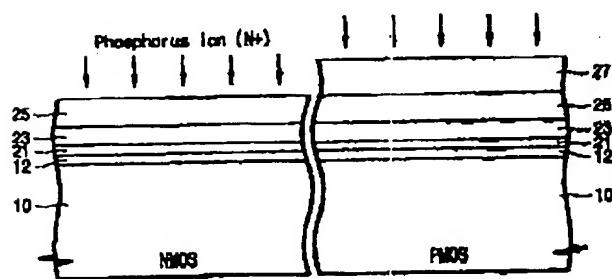
【図5】



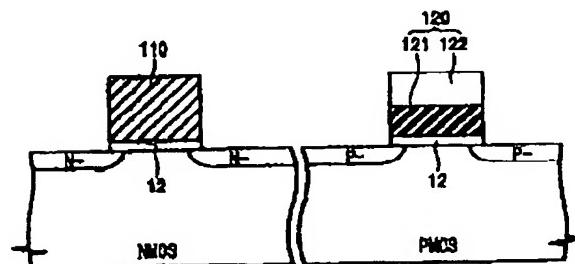
【図6】



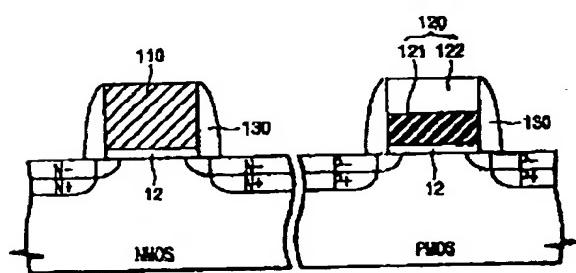
【図7】



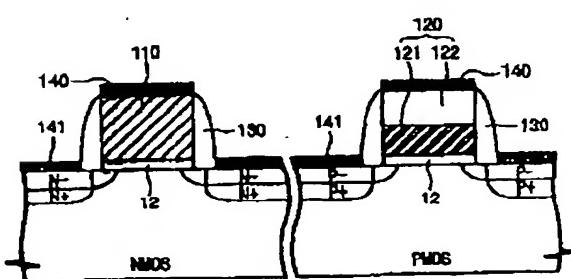
【図8】



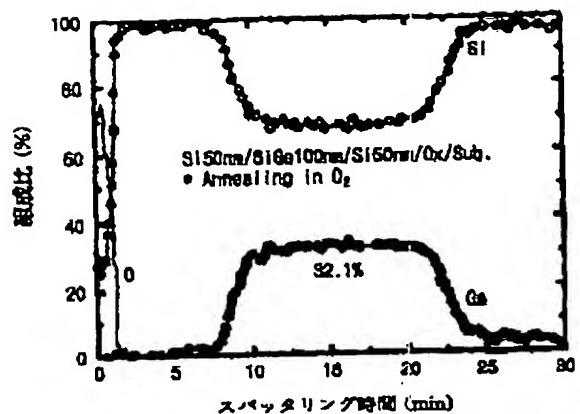
【図9】



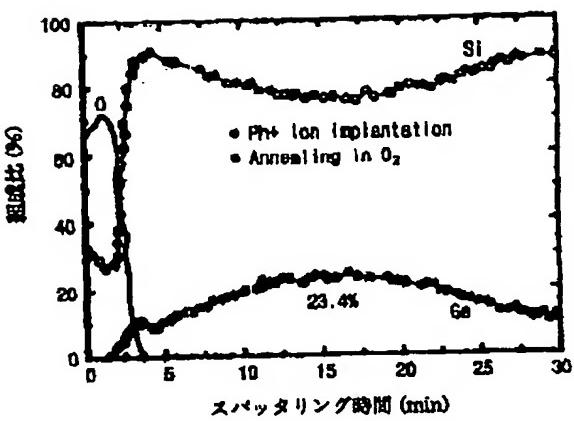
【図10】



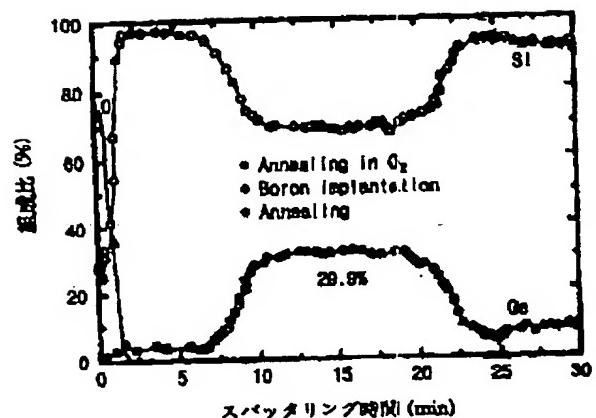
【図11】



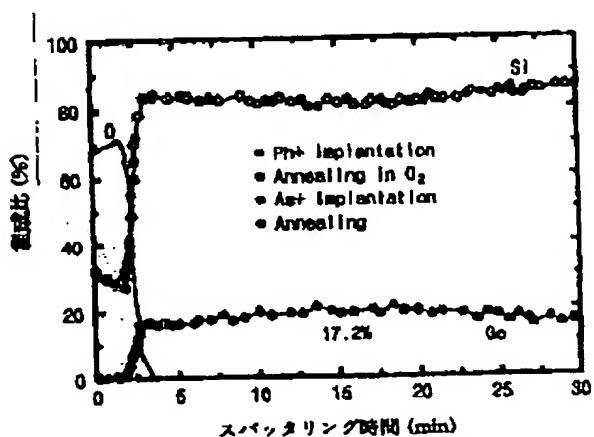
【図12】



【図13】



【図14】



## フロントページの続き

(72)発明者 崔 兑▲ヒー▼  
大韓民国ソウル麻浦区延南洞570-41

(72)発明者 金 相秀  
大韓民国京畿道金浦市靈城面後平里72-2  
番地

(72)発明者 李 来寅  
大韓民国ソウル冠岳区奉天3洞（番地なし）冠岳現代エービーティ117棟1504号

Fターム(参考) 4M104 BB20 BB25 BB36 BB38 BB39  
CC05 DD02 DD43 DD55 DD78  
DD81 DD83 DD84 GG10  
5F048 AA07 AC03 BA01 BA14 BB01  
BB04 BB05 BB06 BB07 BB08  
BB10 BB13 BB18 BC06 BD04  
BF06 BF16 BG14 DA25 DA27  
5F140 AA00 AA28 AB03 AC01 BE07  
BF04 BF11 BF14 BF18 BF21  
BF28 BF32 BF37 BF38 BG12  
BG14 BC28 BC30 BG32 BG33  
BG34 BG37 BG44 BG45 BG52  
BG53 BH15 BJ01 BJ08 BK02  
BK13 BK15 BK21 BK29 BK30  
CB04 CB08